

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-188375

(43)Date of publication of application : 17.08.1987

(51)Int.Cl.

H01L 29/78
H01L 21/314

(21)Application number : 61-028810

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.02.1986

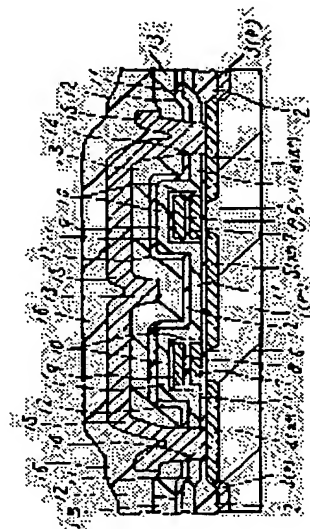
(72)Inventor : KURODA KENICHI
HARA YUJI
KOMORI KAZUHIRO
NISHIMOTO TOSHIAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve field effect transistor electrical characteristics and thereby to improve data holding characteristics of a memory cell by a method wherein a gate electrode is provided with an insulating film at least on its sides and the surface of the insulating film is coated with a moisture infiltration preventing film.

CONSTITUTION: In a field effect transistor provided with a gate electrode 7 capable of collecting electrical charges for the storage of non-volatile data, the gate electrode 7 is provided with an insulating film 11 at the least on its sides, and the surface of the insulating film 11 is coated with a moisture infiltration preventing film 12 into which moisture diffuses more slowly than into the insulating film 11. For example, the exposed sides and upper surfaces of a floating gate electrode 8 and of a control gate electrode 9 of a MISFET to serve as a memory cell are covered by a thermal oxide film 10 which is a film of silicon oxide resultant from the oxidation of the sides and upper surfaces of said floating gate electrode 8 and control gate electrodes 9. A silicon oxide film 11 is formed to attach to the outer surface of the thermal oxide film 10 and to the surface, not covered by the thermal oxide film 10, of a first gate insulating film 6. Further, to the entire surface of said silicon oxide film 11, a moisture infiltration preventing film 12, which may be a film of silicon nitride or the like, is attached.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 公開特許公報(A)

昭62-188375

⑤ Int.Cl.⁴H 01 L 29/78
21/314

識別記号

庁内整理番号

7514-5F
6708-5F

④ 公開 昭和62年(1987)8月17日

審査請求 未請求 発明の数 1 (全8頁)

④ 発明の名称 半導体集積回路装置

② 特 願 昭61-28810

② 出 願 昭61(1986)2月14日

⑦ 発 明 者 黒 田 謙 一 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑦ 発 明 者 原 雄 次 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑦ 発 明 者 小 森 和 宏 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑦ 発 明 者 西 本 敏 明 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑧ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑧ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 電荷をゲート電極に蓄積することによって不揮発性情報を記憶する電界効果トランジスタの前記ゲート電極の少くとも側面に絶縁膜を被着して設け、前記絶縁膜の表面に前記絶縁膜よりも水分の拡散が遅い水分浸入防止膜を設けたことを特徴とする半導体集積回路装置。

2. 前記ゲート電極は、フローティングゲート電極であり、この上に絶縁膜を介してコントロールゲート電極が設けられていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 前記水分浸入防止膜は、酸化シリコン膜、多結晶シリコン膜、多結晶シリコン膜とその表面の酸化シリコン膜とで構成した2層膜のいずれからなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

4. 前記絶縁膜は堆積してなる酸化シリコン膜あるいは前記ゲート電極の熱酸化膜と堆積してなる酸化シリコン膜のいずれかからなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電界効果トランジスタを備えた半導体集積回路装置に関するものであり、特に、電界効果トランジスタのゲート電極に電荷を蓄積することによって情報を記憶する半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

MISFETのゲート電極は、上層のアルミニウム配線と絶縁するために、例えばリンシリケートガラス(PSG)膜からなる層間絶縁膜によって覆われている。ところが、層間絶縁膜中には一般に水分が含まれている。また、パッケージによるチップの封止時、封止後にもその内部に水分が浸入する。

これらの水分がMISFETのゲート絶縁膜中に投入すると、MISFETの特性が変動することが、1982年のアイーイーイー第20回アニュアル プロシーディング リラiability Physics (IEEE 20th Annual Proceeding reliability Physics, 1982)、p 113~p 121に述べられている。

前記ゲート絶縁膜中への水分の投入によるMISFETの特性変動を防止するためには、ゲート電極表面を酸化シリコン膜で覆うことが有効であることが、1983年のアイーイーイー第21回アニュアル プロシーディング リラiability Physics (IEEE 21th Annual Proceeding reliability Physics, 1983)、p 60~p 65に述べられている。

本発明者は、EPROM (Erasable and Programmable ROM) の情報の保持特性について検討した。以下は、公知

とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

EPROMのメモリセルは、フローティングゲート電極とコントロールゲート電極を有するMISFETからなる。フローティングゲート電極及びコントロールゲート電極は、情報となるフローティングゲート電極中の電荷が逃げ出するのを防止するため、それらを熱酸化してなる酸化シリコン膜によって覆うことが有効である。

(発明が解決しようとする問題点)

本発明者は前記技術を検討した結果、次の問題点を見出した。

層間絶縁膜中の水分、パッケージ中の水分が、基板とフローティングゲート電極の間の第1ゲート絶縁膜、フローティングゲート電極とコントロールゲート電極の間の第2ゲート絶縁膜、フローティングゲート電極及びコントロールゲート電極を覆う熱酸化膜中に投入すると、それらの絶縁膜中にステートを形成する。このステートを通してフローティングゲート電極中の電荷が逃出すため

- 3 -

に情報の保持特性が劣化する。

本発明の目的は、電界効果トランジスタの電気的特性を向上することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、ゲート電極の少くとも側部に堆積した酸化シリコン膜を設け、さらにその堆積した酸化シリコン膜の表面を水分浸入防止膜によって覆うものである。

(作用)

上記した手段によれば、ゲート絶縁膜、ゲート電極表面の熱酸化膜にステートができないので、メモリセルの情報の保持特性が向上する。

(実施例1)

第1図は2ビットのメモリセルの断面図である。

- 4 -

第1図において、1はp型単晶シリコンからなる半導体基板であり、所定の表面にメモリセルのパターンを規定するように、酸化シリコン膜からなるフィールド絶縁膜2が設けてあり、その下にp型チャネルストップ領域3が設けてある。

メモリセルとなるMISFETは、ドレイン領域であるn型半導体領域4、ソース領域であるn型半導体領域5、基板1表面の酸化シリコン膜からなる第1ゲート絶縁膜6、例えば多結晶シリコン膜からなるフローティングゲート電極7、フローティングゲート電極7上面の酸化シリコン膜からなる第2ゲート絶縁膜8、第2ゲート絶縁膜8の上の例えば多結晶シリコン膜からなるコントロールゲート電極9とで構成してある。なお、フローティングゲート電極8及びコントロールゲート電極9は、Mo、W、Ta、Ti等の高融点金属膜又はその高融点金属のシリサイド膜で構成してもよい。さらに、フローティングゲート電極8及びコントロールゲート電極9のそれぞれは、多結晶シリコン膜の上に前記高融点金属膜又はシリサ

- 5 -

- 6 -

イド膜を積層して構成した2層膜としてもよい。
フローティングゲート電極8及びコントロールゲート電極9の露出している側面及び上面に、それらを酸化して形成した酸化シリコン膜からなる熱酸化膜10が設けてある。熱酸化膜10は、フローティングゲート電極8に注入される情報となる電荷が外部へ逃げ出すのを防止するために設けたものである。

11は酸化シリコン膜であり、水分浸入防止膜12とともに、後述する絶縁膜13、16中の水分が第1ゲート絶縁膜6、第2ゲート絶縁膜8、熱酸化膜10内に浸入するのを防止するために設けたものである。酸化シリコン膜は、CVD、プラズマCVD等によって堆積（デポジット）して形成した膜であり、500～3000Å程度の膜厚を有し半導体基板1上の全域を覆っている。すなわち、酸化シリコン膜11は、それぞれのメモリセルのフローティングゲート電極7とコントロールゲート電極9を覆っている前記熱酸化膜10の露出している表面と、第1ゲート絶縁膜6の熱

酸化膜10から露出している表面に被着して設けてある。

後述する水分浸入防止膜12は酸化シリコン膜より水分の拡散が遅い膜からなるが、水分浸入防止膜12を直接熱酸化シリコン膜10に被着させると、その熱酸化膜10と第1ゲート絶縁膜6との接合部と、ドレイン領域4のチャネル側の端部との距離が近くなるため、その水分浸入防止膜12とゲート絶縁膜6の接合部にキャリア電荷がトラップされ易くなる。そこで、水分浸入防止膜と熱酸化膜10の間に前記のように、堆積してなる酸化シリコン膜11を介在させることによって、水分浸入防止膜12をドレイン領域であるn型半導体領域4のチャネル側の端部から遠ざけるようにしている。また、熱酸化膜10を厚く形成することによって、水分浸入防止膜12をドレイン領域4のチャネル側の端部から遠ざけてキャリア電荷がトラップされないようにしたのでは、フローティングゲート電極7及びコントロールゲート電極9が著しく酸化されるため、それらの形状が悪

- 7 -

くなり電気的特性が劣化する。そこで、酸化シリコン膜11を設けることによって、フローティングゲート電極7及びコントロールゲート電極9の形状を劣化させることなく、水分浸入防止膜12をドレイン領域4のチャネル側の端部から遠ざけるようにしている。また、水分浸入防止膜12には、後述するように多結晶シリコン膜を用いることもできるが、この場合酸化シリコン膜11は、多結晶シリコン膜からなる水分浸入防止膜12をフローティングゲート電極7から遠ざけることによって、水分浸入防止膜12とフローティングゲート電極7の間の容量結合を小さくすることにより、フローティングゲート電極7への情報の書き込み特性に影響を与えないようにしている。

なお、熱酸化膜10はデポジットした酸化シリコン膜11より緻密であり、情報の保持特性が良いので設けたが必ずしも設ける必はない。すなわち、堆積してなる酸化シリコン膜12をフローティングゲート電極7及びコントロールゲート電極9に直接被着させてもよい。また、酸化シリコン

- 8 -

膜11の膜厚は、それと水分浸入防止膜12との界面にキャリア電子がトラップされないように、その界面をドレイン領域であるn型半導体領域4のチャネル側の端部より離す膜厚にすればよい。

酸化シリコン膜11は、以下の種々の方法によって形成する。

(1) テトラエトキシラン $\text{Si}(\text{OC}_2\text{H}_5)_4$ 等の有機シランを1 Torr程度の低圧下で700～800℃で加熱分解して形成する。

(2) モノシラン SiH_4 あるいはジイロルシラン SiH_2Cl_2 等の無機シランと N_2O あるいは CO_2 とを用い、これを1 Torr程度の圧力下で900℃程度に加熱分解して形成する。

(3) モノシラン SiH_4 と O_2 あるいはモノシラン SiH_4 とホスフィン PH_3 を420℃程度で加熱分解して形成する。

(4) 前記(1)の方法によって形成した酸化シリコン膜11は、さらに酸化性雰囲気中で熱処理を行ってもよい。このことは、前記のように、熱酸化膜10を設けずに酸化シリコン膜11を直接フ

- 9 -

- 10 -

ローティングゲート電極7及びコントロールゲート電極9に被着させた場合においても同様である。酸化シリコン膜11に高温の熱処理を施すことによって、デポジットによる酸化シリコン膜11を熱酸化膜10に近い絶縁性、ち密性を有する膜にすることができる。

水分浸入防止膜12は、酸化シリコン膜11の全上面に被着して設けてあり、酸化シリコン膜より水分の拡散が遅い膜、例えば窒化シリコン膜、多結晶シリコン膜あるいは多結晶シリコン膜とその表面を熱酸化して形成される酸化シリコン膜からなる。水分浸入防止膜12は、水分の浸入を防止できる程度の膜厚、例えば200～1000Å程度の膜厚に形成される。水分浸入防止膜12は、CVD、プラズマCVD、さらに水分浸入防止膜12を窒化シリコン膜とする場合には、酸化シリコン膜11上面の直接窒化法等によって形成してもよい。

このように、水分の拡散が遅い膜からなる水分浸入防止膜12によって第1ゲート絶縁膜6、第

2ゲート絶縁膜8及び熱酸化膜10中への水分の浸入を防止して、それらゲート絶縁膜6、8及び熱酸化膜10にステートができないようにしている。

ここで、水分浸入防止膜12を多結晶シリコン膜または多結晶シリコン膜とその表面を酸化して形成した酸化シリコン膜とで構成した場合のメモリセルの断面図を第2図に示す。すなわち、第2図に示すように、接続孔14の内腔における水分浸入防止膜12の端部とデータ線15の間に酸化シリコン膜からなる絶縁膜13が介在するようにする。これは、接続孔14の形成時に露出した水分浸入防止膜12の端部を酸化することによって形成することができる。

第1図及び第2図に示すように、水分浸入防止膜12上の全面に例えばリンシリケートガラス(PSG)からなる絶縁膜13を設けている。第1層目のアルミニウム層からなるデータ線15が、絶縁膜13、水分浸入防止膜12、酸化シリコン膜11、第1ゲート絶縁膜6のそれぞれを選択的

に除去してなる接続孔14を通してドレイン領域であるn型半導体領域4に接続している。データ線15の上に、例えばPSG膜と窒化シリコン膜を積層して構成した保護膜16が設けてある。

以上、説明したように以下の効果を得ることができる。

(1) 酸化シリコン膜11でフローティングゲート電極7及びコントロールゲート電極9を覆い、さらに酸化シリコン膜11の上に水分浸入防止膜12を設けたことによって、保護膜16、絶縁膜13中に含まれている水分が第1ゲート絶縁膜6、第2ゲート絶縁膜8、熱酸化膜10に浸入することがなくステートが形成されることがないので、フローティングゲート電極7に注入される電荷の保持特性を向上することができる。

(2) デポジットによる酸化シリコン膜11を設けることにより、水分浸入防止膜12をドレイン領域4のチャネル領域側の端部から遠ざけるために熱酸化膜10を厚く形成しなくともよいので、その厚い熱酸化膜11を形成することに伴うフロ

ーティングゲート電極7及びコントロールゲート電極9の形状の悪化がなくなり、メモリセルの電気的特性の向上を図れる。

(3) 酸化シリコン膜11によって水分浸入防止膜12をドレイン領域4のチャネル領域側の端部から遠ざけたことによって、ホットキャリアが水分浸入防止膜12と酸化シリコン膜11の界面にトラップされなくなるので、メモリセルの電気的特性の向上を図れる。

(4) 水分浸入防止膜12の多結晶シリコン膜を用いた場合において、その水分浸入防止膜12を酸化シリコン膜11によってフローティングゲート電極7及びコントロールゲート電極9が遠ざけたことによって、その水分浸入防止膜12があることによるフローティングゲート電極7の容量結合の変動を小さくして、呑込み特性に影響を与えないようにしている。

(5) 前記(1)乃至(4)により、EPROMの電気的特性の向上を図れる。

(実施例II)

第3図はLDD (Lightly Doped Drain) 構造のMISFETからなるメモリセルの断面図である。

実施例Ⅱは、酸化シリコン膜11をサイドウォールスペースに形成し、これをn型半導体領域4A及びn型半導体領域5Aを形成するためのイオン打込みのマスクとして用いるものである。

第3図に示すように、酸化シリコン膜11はサイドウォールスペース状をしており、フローティングゲート電極7及びコントロールゲート電極9の側部にのみ設けられ、コントロールゲート電極9の上には設けられていない。サイドウォールスペース状の酸化シリコン膜11は、フローティングゲート電極7及びコントロールゲート電極9と同一方向に延在している。酸化シリコン膜11は、少くともメモリセル領域においてはフローティングゲート電極7及びコントロールゲート電極9の側部の熱酸化膜11に被着し、また酸化シリコン膜11の下面は第1ゲート絶縁膜6に被着している。コントロールゲート電極9の上の熱酸化膜1

0は、サイドウォールスペース状の酸化シリコン膜11から露出している。

ドレイン領域はチャネル領域側のn型半導体領域4Aとn型半導体領域4Bからなっている。ソース領域はチャネル領域側のn型半導体領域5Aとn型半導体領域5Bからなっている。n型半導体領域4A及び5Aのチャネル長方向における長さは、サイドウォールスペース状の酸化シリコン膜11によって規定されている。

なお、サイドウォールスペース状の酸化シリコン膜11は、実施例Ⅰにおいて説明した方法によって半導体基板1上の全面に酸化シリコン膜11を形成した後、反応性イオンエッチング (RIE) によってその上面からエッチングすることによって形成すればよい。このエッチング時にコントロールゲート電極9上面の熱酸化膜10及び酸化シリコン膜11から露出している第1ゲート絶縁膜6がエッチングされてコントロールゲート電極9の上面及び半導体基板1の上面が露出する。そこで、酸化シリコン膜11をサイドウォールスペース

- 15 -

状に形成した後に、前記エッチングによって露出したコントロールゲート電極9の上面及び半導体基板1の上面を酸化してそれら露出している上面部に再度熱酸化膜10または第1ゲート絶縁膜6を形成するようにする。この後、サイドウォールスペース状の酸化シリコン膜11をイオン打込みのマスクとし、n型不純物、例えばヒ素 (As) を半導体基板1の表面に導入してn型半導体領域4B及び5Bを形成する。次に、酸化シリコン膜11の表面及びこれから露出している第1ゲート絶縁膜6の上面、コントロールゲート電極9上の熱酸化膜10に水分浸入防止膜12を被着させて形成する。

このように、酸化シリコン膜11をサイドウォールスペース状に形成することにより、第1ゲート絶縁膜6、第2ゲート絶縁膜8、熱酸化膜10の水分の浸入によるステートの形成を防止することができるとともに、メモリセルをセルフアラインでLDD構造に形成することができる。

なお、コントロールゲート電極9上の水分浸入

- 16 -

防止膜12は、第4図に示したように選択的に除去してもよい。なお、第4図はコントロールゲート電極9上の水分浸入防止膜12を選択的に除去した場合のメモリセルの断面図である。前記のように、コントロールゲート電極9上の熱酸化膜10が水分浸入防止膜12から露出しているも、そこから浸入した水分がフローティングゲート電極7あるいはフローティングゲート電極7に被着している第1ゲート絶縁膜6、第2ゲート絶縁膜8、熱酸化膜10に達するまでの経路が長い。このため、コントロールゲート電極9の水分浸入防止膜12から露出している部分から浸入した水分によってメモリセルの情報保持特性が劣化することがない。

以上、本発明者によってなされた発明を実施例にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形可能であることはいうまでもない。

例えば、第5図に示したように、コントロール

- 17 -

-431-

- 18 -

ゲート電極9とフローティングゲート電極7とが半導体基板1上の第1ゲート絶縁膜6に被着して平行に配置された構造のメモリセルに適用してもよい。コントロールゲート電極9の下面は第1ゲート絶縁膜6の上面に被着している。フローティングゲート電極7は、コントロールゲート電極9の両側部に設けてあり、第1ゲート絶縁膜6に被着している。つまり、1つのコントロールゲート電極9と2つのフローティングゲート電極7を有している。第2ゲート絶縁膜8は、コントロールゲート電極9とこれの両側部のそれぞれのフローティングゲート電極7の間に介在し、コントロールゲート電極9及びフローティングゲート電極7の側面に被着している。熱酸化膜10は、1つのメモリセルにおいて、2つのフローティングゲート電極7及びそれらの間のコントロールゲート電極9を覆うようにそれらの露出している表面に被着している。ドレイン領域であるn型半導体領域4は、一方のフローティングゲート電極7の下に埋込んでいる。また、ソースであるn型半導体領

域5は、他方のフローティングゲート電極7の下に埋込んでいる。その他の構成は実施例1のメモリセルと同様である。

また、本発明は、EEPROM (Electrically Erasable and Programmable ROM) におけるFLOTOX (Floating Gate Tunnel Oxide) 型のメモリセルに適用することもできる。

また、メモリセルに限らず、例えば周辺回路等を構成するMISFETに適用しても有効である。このMISFETのゲート絶縁膜に水分の浸入によるしきい値が形成されるとしきい値が変動するからである。

(発明の効果)

本願によって開示される発明のうち代表的なものの効果を簡単に説明すれば、下記のとおりである。

すなわち、ゲート絶縁膜、ゲート電極を覆う熱酸化膜への水分の浸入を防止してステートが形成されないようにしたので、フローティングゲート

- 19 -

電極に注入された情報の保持特性を向上することができる。したがって、電気的特性が向上する。

4. 図面の簡単な説明

第1図はEEPROMのメモリセルの断面図。

第2図は水分浸入防止膜に多結晶シリコン膜を用いた場合のメモリセルの断面図。

第3図、第4図はゲート電極側部にサイドウォールスペースを設けたメモリセルの断面図。

第5図は、第1図乃至第4図に示したメモリセルと異なる構造のメモリセルの断面図である。

11…酸化シリコン膜、12…水分浸入防止膜

(窒化シリコン膜、多結晶シリコン膜あるいは多結晶シリコン膜と酸化シリコン膜からなる。)

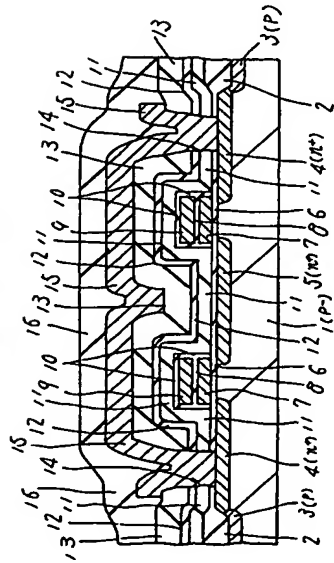
10…熱酸化膜(SiO₂)、6、8…ゲート絶縁膜(SiO₂)、7、9…ゲート電極、1…半導体基板、2…フィールド絶縁膜、3…チャネルストップパ、4、4A、5、5A…半導体領域、13、16…絶縁膜、15…データ線、14…接続孔。

代理人 弁理士 小川勝男

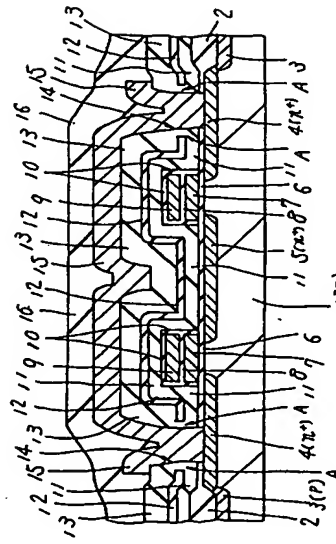


- 20 -

第 1 図

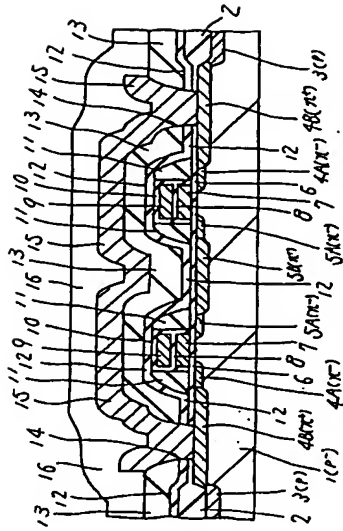


第 2 図

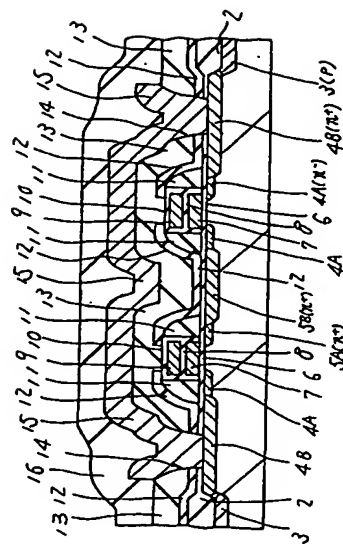


11—密封部
12—密封部
(全長にわたって密封部を設ける必要はないが、必要に応じて設ける)
10—密封部

第 3 図



第 4 図



第 5 図

